

KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020043188 (43) Publication Date. 20020608

(21) Application No.1020010075618 (22) Application Date. 20011201

(51) IPC Code: H01L 25/00

(71) Applicant: NEC CORPORATION

(72) Inventor: TAGO MASAMOTO

(30) Priority: 2000366900 20001201 JP

(54) Title of Invention SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57) Abstract:

PURPOSE: To provide a semiconductor device and its manufacturing method for compactly and densely packaging a plurality of semiconductor chips, and connecting them with the electrically shortest wiring length.

CONSTITUTION: Rewiring 3 for interconnecting a semiconductor chip 1a, a semiconductor chip 1b, and an external connection terminal 4 is formed on the semiconductor chip 1a. An insulating resin 6 having an opening at the formation region of the external connection terminal 7 around the semiconductor chip 1a and at the packaging region of the semiconductor chip 1b at the center of the semiconductor chip 1a is provided on the rewiring 3. The external connection terminal 4 made of BGAs is formed on the opening of the formation region of the external connection terminal 4 via a land 5. The semiconductor chip 1b is subjected to flip-chip connection to the opening of the packaging region of the semiconductor chip 1b via an electrode 11 and a bump 8. The junction surface of the bump 8 is sealed by a sealing resin 7. The semiconductor chip 1b is packaged so that it is flush with the external connection terminal 4. The rear surface is ground so that it becomes lower than the external connection terminal 4 for packaging with high density.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ (11) 공개번호 특2002-0043188
H01L 25 /00 (43) 공개일자 2002년06월08일

(21) 출원번호 10-2001-0075618

(22) 출원일자 2001년12월01일

(30) 우선권주장 JP-P-2000-0036690C 2000년12월01일 일본(JP)

(71) 출원인 닛뽕덴끼 가부시끼가이샤

(72) 발명자 일본 도오교도 미나또꾸 시바 5초메 7방 1고
다고마사모토

(74) 대리인 일본도오교도미나또꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이
특허법인코리아나

심사청구 : 있음

(54) 복수의 반도체 칩을 고밀도로 실장할 수 있는 소형 반도체장치 및 그의 제조 방법

요약

반도체 장치에서, 반도체 칩 (1a) 상에 반도체 칩 (1a), 반도체 칩 (1b) 및 외부 접속 단자 (4) 를 서로 접속시키는 재배선 (3) 이 형성된다. 재배선 (3) 상에 반도체 칩 (1a) 의 주변 영역에 외부 접속 단자 (4) 를 형성하기 위한 영역 내의 개구부 및 반도체 칩 (1a) 의 중심에 반도체 칩 (1b) 을 실장하기 위한 다른 영역 내의 다른 개구부를 갖는 절연 수지 (6) 가 덮힌다. BGA 로 구성되는 외부 접속 단자 (4) 는 랜드 (5) 를 통하여 외부 접속 단자 (4) 를 형성하기 위한 영역의 개구부 내에 형성된다. 반도체 칩 (1b) 은 전극 (11) 및 범프 (8) 를 통하여 플립-칩 구조에 의해 반도체 칩 (1b) 을 실장하기 위한 다른 영역의 다른 개구부에 접속된다. 범프 (8) 의 접합 표면은 밀봉 수지 (7) 에 의해 밀봉된다. 외부 접속 단자 (4) 가 형성된 동일 표면 상에 반도체 칩 (1b) 이 실장된다. 외부 접속 단자 (4) 보다 반도체 칩 (1b) 이 더 짧아지도록 반도체 칩 (1b) 의 하부 표면이 연삭된다. 그로 인해, 반도체 칩 (1b) 은 고밀도로 실장된다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 종래의 MCM 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 2는 다른 종래의 MCM 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 3은 종래의 MCP 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 4는 종래의 MCP 반도체 장치의 제조 방법을 개략적으로 나타내는 공정도.

도 5는 본 발명의 제 1 실시예에 의한 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 6은 본 발명의 제 1 실시예에 의한 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 7은 본 발명의 제 2 실시예에 의한 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 8은 본 발명의 제 2 실시예에 의한 반도체 장치의 구조를 개략적으로 나타내는 단면도.

도 9는 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 개략적으로 나타내는 공정도.

도 10은 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 개략적으로 나타낸 공정도.

***도면의 주요부분에 대한 부호의 설명**

1a, 1b, 16, 16a, 16b : 반도체 칩	3 : 재배선
4, 18 : 외부 접속 단자	5 : 랜드
6 : 절연 수지	7, 22 : 밀봉 수지
8, 17 : 범프	12 : 돌출부
14 : 실장 기판	15 : 실리콘 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것으로, 특히 복수의 반도체 칩이 고밀도로 적층된 반도체 장치 및 그 반도체 장치의 제조 방법에 관한 것이다.

반도체 패키지 및 반도체 칩의 실장에 있어서, 반도체 패키지 및 반도체 칩은 작은 면적과 용량, 높은 밀도 및 낮은 가격으로 실장하는 것이 중요하다. 이를 위해, 반도체 칩들은 점점 소형화되고 있으며, 이후에 좀더 상세히 설명하겠지만, 다중 칩 모듈 (Multi-Chip Module; 이하 'MCM' 이라 함) 이 반도체 칩들을 실장하는 방법으로서 사용된다. MCM 방법에서, 복수의 반도체 칩은 세라믹 배선 기판, 실리콘 배선 기판 및 인쇄 배선 기판 상에 와이어 본딩 또는 플립-칩 실장에 의해 실장된다. 또한, 다중 칩 패키지 (Multi-Chip Package; MCP) 방법도, 이후에 상세히 설명하겠지만, 복수의 반도체 칩을 실장하기 위한 다른 종래 방법으로 사용된다. MCP 방법에서는, 서로 다른 크기를 갖는 복수의 반도체 칩이 삼차원적으로 적층되고 와이어 본딩에 의해 서로 전기적으로 접속된다.

발명이 이루고자하는 기술적 과제

제조 공정들이 서로 다른, 일부의 다른 기능 소자들은 가격 및 기술적인 문제들 때문에 반도체 칩 내에 집적되기가 어렵다. 이를 위해, MCM, MCP 등과 같이, 시스템으로 다른 기능 소자들을 결합시킬 수 있는 패키지가 사용된다. 그러나, MCM, MCP 등의 패키지는, 예를 들어 다음과 같은 문제점들을 갖고 있다.

즉, MCM 패키지는 작은 크기 및 고밀도로 제조하기가 어렵다. 또한, MCM 패키지의 제조 비용이 높아진다. 또한, MCM 패키지 내에서 배선 길이가 길어짐에 따라 전기 신호의 지연이 발생하는 것을 피할 수 없게 된다. 따라서, 고속 동작이라는 원하는 특성을 얻기가 어려워진다.

한편, MCP 패키지는 두께에서 커진다. 그 결과, MCP 패키지는 고밀도로 제조되기에 적합하지만은 않게 된다. 또한, 전체 본딩 와이어들이 너무 길어진다. 그 결과, 기생 커패시턴스 및 배선 저항으로 인해 동작 속도의 지연이 발생하는 것을 피할 수 없게 된다.

따라서, 본 발명의 목적은 복수의 반도체 칩이 고밀도로 적층되고 전기적으로 최단의 배선 길이에 의해 접속될 수 있는 소형 반도체 장치 및 그 반도체 장치의 제조 방법을 제공하는 데 있다.

본 발명의 다른 목적은 재료 비용 및 제조 비용의 증가를 방지할 수 있고, 미세한 반도체 칩들을 견고하게 실장할 수 있는 반도체 장치 및 그 반도체 장치의 제조 방법을 제공하는 데 있다.

본 발명의 다른 목적들은 이하의 설명을 통해 명백해질 것이다.

발명의 구성 및 작용

본 발명의 일 측면에 의하면, 제 1 표면을 갖는 제 1 반도체 칩; 제 1 표면 상에 형성되고 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자; 및 제 1 표면 상에 범프를 통하여 실장되고 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩을 구비하고, 제 2 높이는 제 1 높이보다 더 작은 반도체 장치가 제공된다.

본 발명의 다른 측면에 의하면, 제 1 표면을 갖는 제 1 반도체 칩; 제 1 표면 상에 형성되고 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자; 제 1 표면 상에 범프를 통하여 실장되고 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩; 및 제 1 반도체 칩, 제 2 반도체 칩 및 외부 접속 단자를 서로 전기적으로 접속시키고 제 1 표면 상에 위치하는 재배선을 구비하고, 제 2 높이가 제 1 높이보다 더 작아지도록 제 2 반도체 칩이 얇게 처리된 반도체 장치가 제공된다.

본 발명의 다른 측면에 의하면, 제 1 표면을 갖는 제 1 반도체 칩; 제 1 표면 상에 형성되고 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자; 제 1 표면 상에 범프를 통하여 실장되고 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩; 제 1 반도체 칩, 제 2 반도체 칩 및 외부 접속 단자를 서로 전기적으로 접속시키고 제 1 표면 상에 위치하는 재배선; 재배선 상에 덮히고 외부 접속 단자들을 형성하기 위한 제 1 영역 및 제 2 반도체 칩을 실장하기 위한 제 2 영역 내에 각각 소정의 개구부를 갖는 절연층; 및 소정의 개구부 내에 각각 형성된 매입 전극들을 구비하고, 외부 접속 단자는 BGA 로 구성되며 제 1 영역 내의 매입 전극 상에 위치하며, 제 2 반도체 칩은 상기 범프를 통하여 제 2 영역 내의 매입 전극에 플립칩 본딩되고, 제 2 높이가 제 1 높이보다 작아지도록 제 2 반도체 칩이 얇게 처리된 반도체 장치가 제공된다.

절연층은 탄성 특성이 서로 다른 2 개 이상의 수지로 제조되고, 하나의 수지는 제 1 영역상에 존재하고 다른 수지는 제 2 영역 상에 존재한다.

제 1 영역 내의 상기 매입 전극 및 제 2 영역 내의 매입 전극은 모두 동일 공정으로 제공된 동일 재료로 제조된다.

제 1 영역 내의 상기 매입 전극 및 제 2 영역 내의 매입 전극은 서로 다른 재료로 제조된다.

매입 전극과 다른 재료를 포함하는 막이 매입 전극 상에 적층된다.

제 2 반도체 칩은 제 1 반도체 칩에 실장된 접합 표면에 대항하는 다른 표면 상에 돌출부를 더 구비하고, 돌출부는 상기 제 2 반도체 칩의 다른 표면에 대하여 제 3 높이를 갖고, 제 3 높이는 1 높이가 2 높이 및 제 3 높이의 합과 거의 동일하도록 설정된다.

돌출부는 금속, 도전성 수지 및 절연 수지로 이루어진 그룹으로부터 선택된 재료로 제조된다.

범프를 통하여 제 1 반도체 칩에 실장되는 제 2 반도체 칩의 접합 표면은 수지에 의해 밀봉된다.

반도체 장치는 상기 제 1 영역 내의 매입 전극 상에 제공되고 제 1 영역 내의 매입 전극까지 관통하는 비아홀을 포함하는 수지층; 및 비아홀 내에 매립되고 외부 접속 단자와 제 1 영역 내의 매입 전극을 전기적으로 접속시키는 도전체를 더 구비한다.

제 1 반도체 칩은 반도체 칩, 기능 소자 및 전자 부품으로 이루어진 그룹으로부터 선택된 부재를 구비한다.

제 2 반도체 칩은 반도체 칩, 기능 소자 및 전자 부품으로 이루어진 그룹으로부터 선택된 부재를 구비한다.

제 2 반도체 칩은 반도체 칩, 기능 소자 및 전자 부품으로 이루어진 그룹으로부터 선택된 부재를 결합시키는 복수의 칩을 구비한다.

제 2 반도체 칩은 연삭, 연마, 습식 에칭 및 건식 에칭으로 이루어진 그룹으로부터 선택된 하나 이상의 방법을 사용하여 얇게 처리된다.

본 발명의 다른 측면에 의하면, 제 1 표면을 갖는 제 1 반도체 칩을 준비하는 단계; 제 1 표면 상에 형성되고 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자를 준비하는 단계; 제 1 표면 상에 범프를 통하여 실장되고 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩을 준비하는 단계; 및 제 2 높이가 제 1 높이보다 작아지도록 제 2 반도체 칩을 처리하는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

본 발명의 다른 측면에 의하면, 외부 접속 단자를 형성하기 위한 제 1 영역 및 제 2 반도체 칩을 실장하기 위한 제 2 영역을 각각 갖는 복수의 제 1 반도체 칩이 형성된 제 1 웨이퍼를 준비하는 단계; 제 1 반도체 칩, 제 2 반도체 칩 및 외부 접속 단자를 서로 전기적으로 접속시키고 제 1 표면 상에 위치하는 재배선을 형성하는 단계; 재배선 상에 절연층을 덮는 단계; 외부 접속 단자를 형성하기 위한 제 1 영역과 제 2 반도체 칩을 실장하기 위한 제 2 영역 내에 모두 개구부들을 형성하는 단계; 개구부들 내에 각각 매입 전극을 형성하는 단계; 제 2 반도체 칩들의 각각에 범프를 형성하는 제 1 처리 및 제 2 웨이퍼를 다이싱하여 각각의 제 2 반도체 칩으로 나누는 제 2 처리를 수행하되, 제 1 처리 및 제 2 처리 중 어느 하나는 미리 수행될 수 있는 단계; 제 1 웨이퍼 상의 제 1 반도체 칩들 각각에 하나씩 위치하도록 제 2 반도체 칩들을 제 1 반도체 칩들 상에 각각 플립칩 본딩하는 단계; 제 2 반도체 칩의 범프에 의한 접합 표면을 수지로 밀봉하는 단계; 제 2 높이가 제 1 높이보다 더 작도록 제 2 반도체 칩의 하부 표면을 처리하는 단계; 제 1 웨이퍼 상의 제 1 반도체 칩들 각각에 BGA의 외부 접속 단자를 형성하는 단계; 및 제 1 웨이퍼를 다이싱하여 조각들로 나누는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

본 발명의 다른 측면에 의하면, 외부 접속 단자를 형성하기 위한 제 1 영역 및 제 1 표면 상에 제 2 반도체 칩을 실장하기 위한 제 2 영역을 각각 갖는 복수의 제 1 반도체 칩들이 형성된 제 1 웨이퍼를 준비하는 단계; 제 1 반도체 칩, 제 2 반도체 칩 및 외부 접속 단자를 서로 전기적으로 접속시키고 제 1 반도체 칩의 제 1 표면 상에 위치하는 재배선을 형성하는 단계; 재배선 상에 절연층을 덮는 단계; 외부 접속 단자를 형성하기 위한 제 1 영역 및 제 2 반도체 칩을 실장하기 위한 제 2 영역 내에 모두 개구부들을 형성하는 단계; 개구부들 내에 각각 매입 전극을 형성하는 단계; 제 2 웨이퍼 상의 제 2 반도체 칩들 상에 각각 범프를 형성하는 제 1 처리, 제 2 반도체 칩들이 각각 제 1 반도체 칩들 상에 실장된 후에 제 2 반도체 칩들 각각의 제 1 반도체 칩의 제 1 표면에 대한 제 2 높이가 외부 접속 단자의 제 1 반도체 칩의 제 1 표면에 대한 제 1 높이보다 작아지도록 제 2 반도체 칩의 하부 표면을 얇게 처리하는 제 2 처리, 및 제 2 웨이퍼를 다이싱하

여 각각의 제 2 반도체 칩들로 나누는 제 3 처리를 수행하되, 제 1 처리, 제 2 처리 및 제 3 처리는 어느 순서로도 수행될 수 있는 단계; 제 1 웨이퍼 상의 제 1 반도체 칩들 각각에 하나씩 위치하도록 제 2 반도체 칩들을 각각 제 1 반도체 칩들 상에 플립칩 본딩하는 단계; 제 2 반도체 칩들의 범프에 의한 접합 표면을 수지로 밀봉하는 단계; 제 2 높이가 제 1 높이보다 작아지도록 제 2 반도체 칩의 하부 표면을 처리하는 단계; 제 1 웨이퍼 상의 제 1 반도체 칩들 상에 각각 BGA의 외부 접속 단자를 형성하는 단계; 및 제 1 웨이퍼를 다이싱하여 조각들로 나누는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

도 1 내지 4를 참조하여, 본 발명의 이해를 용이하게 하기 위해 종래의 반도체 장치 및 그 반도체 장치의 제조 방법에 관하여 설명한다.

본 명세서의 앞부분에서 언급한 바와 같이, MCM 방법은 세라믹 배선 기판, 실리콘 배선 기판 및 인쇄 배선 기판 상에 와이어 본딩 또는 플립-칩 실장에 의해 반도체 칩들을 실장하기 위해 사용된다.

이하, 도 1을 참조하여, MCM 방법을 설명한다. 종래의 MCM 방법에서, 도 1에 나타난 바와 같이, LSI 칩 등의 반도체 칩들 (16)은 땀납 범프 (17)에 의해 반도체 기판 상에 평평하게 고정되고 접속된다. 실리콘 기판 (15)은 접착제 (20)에 의해 실장 기판 (14) 상에 고정된다. 또한, 실리콘 기판 (15) 상에는 소정의 배선 패턴 (15a)이 형성된다. 실리콘 기판 (15)의 외부 접속 단자들 (18)은 본딩 와이어 (19)에 의해 실장 기판 (14)의 본딩 패드에 접속된다. 도 1에 나타난 구조에서, 반도체 칩들 (16)에서 생성된 신호는 땀납 범프 (17), 실리콘 기판 (15)상의 소정의 배선 패턴과 외부 접속 단자들 (18) 및 본딩 와이어 (19)를 경유하여 외부로 전송된다.

한편, 도 2는 다른 종래의 MCM 방법이 적용된 반도체 장치의 구조를 나타낸다. 다른 종래의 MCM 방법에서는, 도 2에 나타난 바와 같이, 반도체 칩들 (16)은 땀납 범프 (17)에 의해 기판 (21) 상에 평평하게 고정되고 접속된다. 또한, 접합의 신뢰성을 향상시키기 위하여 땀납 범프 (17)에 의한 접합부는 밀봉수지 (22)로 밀봉된다. 반도체 칩들 (16)이 실장되는 표면 (21a)과 대향하는 기판 (21) 표면 (21b)에 외부 접속 단자들 (22)이 형성된다. 외부 접속 단자들 (22)은 기판 (21) 내부에 삼차원적으로 형성된 내부 배선 패턴들 (23)에 의해 반도체 칩들 (16)에 접속된다.

또한, 복수의 반도체 칩들을 실장하는 종래의 다른 방법에는 MCP 방법이 있다. MCP 방법에서는, 서로 다른 크기를 갖는 복수의 반도체 칩들이 삼차원적으로 적층되고, 와이어 본딩에 의해 서로 전기적으로 접속된다. 도 3을 참조하여 종래의 MCP 구조를 설명한다. 도 3에서, 더 큰 크기를 갖는 반도체 칩 (16a)은 절연 페이스트에 의해 기판 (21) 상에 고정된다. 더 작은 크기를 갖는 반도체 칩 (16b)은 절연 페이스트에 의해 이와 유사하게 반도체 칩 (16a) 상에 고정된다. 또한, 반도체 칩들 (16a, 16b)의 전극 단자들은 본딩 와이어 (19)에 의해 기판 (21)상의 단자들에 접속된다. 반도체 칩들 (16a, 16b)에서 생성된 전기 신호들은 반도체 칩들 (16a, 16b)이 실장된 표면 (21a)에 대향하는 기판 (21)의 표면 (21b) 상에 형성된 외부 접속 단자들 (18)을 경유하여 외부로 전송된다. 삼차원적으로 접속된 본딩 와이어들 (19)이 단선되는 것을 방지하여 접속의 신뢰성을 향상시키기 위해, 반도체 칩들 (16a, 16b)은 몰딩 수지 (24)로 고정된다.

도 4를 참조하여, 종래의 MCP의 제조 방법을 설명한다. 도 4에 나타난 바와 같이, 우선 웨이퍼 (1, 2) 내에 반도체 칩들 (16a, 16b)을 각각 형성한다. 다음에, 웨이퍼들 (1, 2)이 소정 두께를 갖도록 웨이퍼들 (1, 2)의 하부 표면을 각각 연삭한다 (S301, S303). 연삭된 웨이퍼들 (1, 2)을 다이싱 공정에 의해 반도체 칩들 (16a, 16b)로 각각 나눈다 (S302, S304). 반도체 칩들 (16a, 16b)을 절연 페이스트에 의해 기판 (21) 상에 실장한다 (S305). 또한, 반도체 칩들 (16a, 16b)의 전극 단자들은 본딩 와이어 (19)에 의해 기판 (21)상의 단자들에 접속시킨다 (S306). 다음에, 몰딩 수지 (24)로 접속부를 밀봉한다 (S307). 그 후, 기판 (21)의 표면 (21b) 상에 외부 접속 단자들 (18)을 형성한다 (S308). 그러면, 상술한 MCP 구조가 완성된다.

제조 공정이 서로 다른, 일부의 다른 기능 소자들은 비용 및 기술적인 문제 때문에 반도체 칩 내에 집적하기가 어렵다. 이를 위해, MCM, MCP 등과 같이 다른 기능 소자들을 결합시킬 수 있는 패키지가 사용된다. 그러나, MCM, MCP 등의 패키지에는 다음과 같은 문제들이 있다.

종래의 MCM에서는, 반도체 칩들 (16a, 16b)을 실장하기 위한 기판으로서 저가의 인쇄 배선 기판을 사용하는 경우, 인쇄

배선 기판 상에서 높은 정밀도로 작업을 수행하기가 어렵다. 즉, 미세한 피치의 반도체 칩들 (16a, 16b) 을 실장할 수 있는 기판을 저가로 제조하기가 어렵다. 한편, 반도체 칩들 (16a, 16b) 을 실장하기 위한 기판으로서 실리콘 기판 (15) 을 사용하는 경우에는, 실리콘 기판 (15) 을 관통하는 비아홀들을 형성할 수 없다. 그 결과, BGA (Ball Grid Array) 유형으로 외부 접속 단자들 (18) 을 형성할 수 없게 된다. 결국, 와이어 본딩에 의해 외부와 전기적으로 접속시켜야 한다. 따라서, 크기가 작은 MCM 을 제조하기 어렵게 된다. 더욱이, 실리콘 기판 (15) 자체의 제조 비용도 높아진다.

또한, 이러한 MCM 패키지에서, 반도체 칩들 (16a, 16b) 은 배선 기판 상에 평평하게 위치되고 서로 접속된다. 반도체 칩들 (16a, 16b) 면적의 합 뿐만 아니라 반도체 칩들 (16a, 16b) 을 서로 접속시키기 위한 배선 면적이 적어도 실장 면적으로서 요구된다. 결국, 이러한 MCM 패키지들은 소형 및 고밀도로 제조되기에 적합하지만은 않다. 또한, 배선의 길이가 길어지므로, 전기 신호의 지연이 발생하는 것도 피할 수 없게 된다. 따라서, 고속 동작이라는 원하는 특성을 얻기 어렵게 된다.

한편, 종래의 MCP 에서, 반도체 칩들 (16a, 16b) 은 삼차원적으로 적층된다. 따라서, 종래의 MCP 에서의 실장 면적은 종래의 MCM 보다 작아질 수 있다. 그러나, 종래의 MCP 에서는 반도체 칩들 (16a, 16b) 이 삼차원적으로 적층되고 와이어 본딩에 의해 접속되므로, 전체적으로 MCP 패키지의 두께가 커지게 된다. 그 결과, 실장 부피가 증가하게 되므로, MCP 패키지도 고밀도로 제조되기에 반드시 적합한 것만은 아니다. 또한, 각각의 반도체 칩들 (16a, 16b) 이 본딩 와이어 (19) 에 의해 접속되므로, 본딩 와이어 (19) 전체는 매우 길어진다. 따라서, 기생 커패시턴스 및 배선 저항으로 인해 동작 속도의 지연이 유발되는 것을 피할 수 없게 된다.

또한, MCP 를 제조하는 방법에서는, MCP 패키지가 소형 및 고밀도로 제조될 수 있도록 반도체 칩들 (16a, 16b) 을 얇게 처리한다. 얇게 처리된 반도체 칩들 (16a, 16b) 은 절연 페이스트 등에 의해 기판 (21) 상에 실장한다. 그 후, 기판 (21) 상에 장착된 반도체 칩들 (16a, 16b) 을 와이어 본딩에 의해 접속시킨다. 그러나, 반도체 칩들 (16a, 16b) 이 얇게 처리되므로, 상술한 웨이퍼들 (1, 2) 의 다이싱 공정 이후에 반도체 칩들 (16a, 16b) 을 핸들링하기가 어려워진다. 또한, 얇게 처리된 반도체 칩들 (16a, 16b) 은 낮은 강도를 갖는다. 따라서, 반도체 칩들 (16a, 16b) 이 절연 페이스트에 의해 기판 (21) 상에 실장된 이후, 반도체 칩들 (16a, 16b) 이 휘어지거나 구부러지는 것을 피할 수 없게 된다. 결국, 기판 (21) 상에 반도체 칩들 (16a, 16b) 이 실장된 후, 와이어 본딩 공정 동안에 적층된 반도체 칩들 (16a, 16b) 이 파괴된다.

본 발명의 반도체 장치에서는, 반도체 칩 (1a) 상에 반도체 칩 (1a), 반도체 칩 (1b) 및 외부 접속 단자들 (4) 을 서로 접속시키는 재배선 (3) 이 형성된다. 재배선 (3) 전면에는 반도체 칩 (1a) 의 주변부에서 외부 접속 단자들 (4) 을 형성하기 위한 영역들 내에 개구부 및 반도체 칩 (1a) 의 중심에서 반도체 칩 (1b) 을 실장하기 위한 다른 영역 내에 다른 개구부를 갖는 절연 수지 (6) 가 덮여있다. BGA 로 구성되는 외부 접속 단자들 (4) 은 랜드 (5) 를 통하여 외부 접속 단자들 (4) 을 형성하기 위한 영역들의 개구부 내에 형성된다. 반도체 칩 (1b) 은 전극 (11) 및 범프 (8) 를 통하여 플립-칩 구조에 의해 반도체 칩 (1b) 을 실장하기 위한 다른 영역의 다른 개구부에 접속된다. 범프들 (8) 의 접합부는 밀봉 수지 (7) 로 밀봉된다. 외부 접속 단자들 (4) 이 형성된 면과 동일 표면 상에 반도체 칩 (1b) 이 실장된다. 반도체 칩 (1b) 이 외부 접속 단자들 (4) 보다 더 짧아지도록, 반도체 칩 (1b) 의 하부면은 그라인드된다. 그로 인해, 반도체 칩 (1b) 은 고밀도로 실장된다.

(제 1 실시예)

이제, 도 5 및 6을 참조하여, 본 발명의 제 1 실시예에 의한 반도체 장치를 설명한다. 도 5는 본 발명의 제 1 실시예에 의한 반도체 장치의 구조를 나타내는 개략 단면도이다.

도 5에서, 본 발명의 제 1 실시예에 의한 반도체 장치는 반도체 칩 (1a) 을 구비한다. 도 5에 나타난 바와 같이, 반도체 칩 (1a) 과 외부 접속 단자 (4) 들, 반도체 칩 (1a) 과 반도체 칩 (1b), 반도체 칩 (1b) 과 외부 접속 단자들 (4), 반도체 칩 (1a), 반도체 칩 (1b), 및 외부 접속 단자들 (4) 서로를 각각 접속시키는 재배선 (3) 이 반도체 칩 (1a) 상에 형성된다. 재배선 (3) 은 소정의 개구부를 갖는 절연 수지 (6) 에 의해 절연된다. BGA 로 구성되는 외부 접속 단

자들 (4) 은 랜드 (5) 를 통하여 반도체 칩 (1a) 의 주변 영역에서 개구부 내에 형성된다. 한편, 반도체 칩 (1b) 은 전극 (11) 을 통하여 범프 (8) 에 의해 반도체 칩 (1a) 의 중심부에 실장된다. 상술한 바와 같이, BGA로 구성되는 외부 접속 단자들 (4) 은 랜드 (5) 상에 형성된다. 또한, 반도체 칩 (1b) 의 높이가 외부 접속 단자들 (4) 의 높이보다 충분히 작아지도록, 반도체 칩 (1b) 은 얇게 처리된다. 범프 (8) 의 접합 표면은 밀봉 수지 (7) 로 밀봉된다.

여기서, 이 실시예에서는, 연삭되지 않은 웨이퍼로서 일반적으로 사용되는 약 625 μm 의 두께를 갖는 웨이퍼가 반도체 칩 (1a) 용으로 사용된다. 한편, 반도체 칩 (1b) 의 두께는 약 100 μm 정도이다.

도중에, 열사이클에 의해 반도체 칩 (1b) 내에서 휘어짐이 발생하고 동일한 열사이클에 의해 반도체 칩 (1a) 내에서도 다른 휘어짐이 발생하게 된다. 그러나, 반도체 칩 (1b) 이 충분히 얇은 경우에, 반도체 칩 (1b) 내에서 발생한 휘어짐은 반도체 칩 (1a) 내에서 발생한 다른 휘어짐에 맞춰진다. 결국, 이 실시예에 의하면, 범프 또는 밀봉 수지층에 의한 접속부 내에서 발생하는 스트레스가 반도체 장치 내에서 완화될 수 있다. 따라서, 반도체 칩 (1b) 의 두께는 작을수록 바람직하다. 즉, 반도체 칩 (1b) 의 높이는 반도체 칩 (1a) 상에 고정된 상태에서 외부 접속 단자 (4) 의 높이보다 더 작다. 그 범위 내에서, 반도체 칩 (1b) 은 50 μm , 30 μm 등과 같이 임의의 두께를 갖도록 제공될 수 있다. 또한, 연삭될 수 있고, 반도체 칩 (1b) 의 특성이 손상되지 않는다면, 반도체 칩 (1b) 은 약 10 μm 정도의 두께를 갖도록 형성될 수도 있다. 한편, 반도체 칩 (1a) 의 두께는 상술한 625 μm 로 한정되는 것은 아니다. 반도체 칩 (1a) 은 핸들링, 강도 등의 관점에서 임의의 두께를 갖도록 제공될 수 있다. 예를 들면, 반도체 칩 (1a) 은 상술한 연삭되지 않은 웨이퍼를 연삭하여 얻어지는 500 μm , 400 μm 등의 두께를 갖도록 형성될 수도 있다.

여기서, 도 6을 참조하여, 본 발명의 제 1 실시예의 변형예에 의한 반도체 장치를 설명한다. 도 6은 본 발명의 제 1 실시예의 변형예에 의한 반도체 장치의 구조를 개략적으로 나타내는 단면도이다.

이러한 제 1 실시예의 변형예에서는, 도 6에 나타난 바와 같이, 마더보드와 서로 고정된 반도체 칩들 (1a, 1b) 을 갖는 반도체 장치 사이의 접속 강도 뿐만 아니라 방사 효과 등을 더욱 향상시키기 위하여, 얇게 처리된 반도체 칩 (1b) 의 하부 표면 상에 복수의 돌출부들 (12) 이 위치된다. 돌출부들 (12) 은 외부 접속 단자들 (4) 과 동일한 높이를 갖도록 조정된다. 반도체 장치가 마더보드 상에 실장되는 경우, 외부 접속 단자들 (4) 뿐만 아니라 돌출부들 (12) 도 마더보드와 접촉된다.

돌출부들 (12) 에 의해, 반도체 칩 (1b) 에 의해 발생하는 열을 방사하는 방사 효과가 도 5에 나타난 반도체 장치에 비하여 향상된다. 그 결과, 접지 전위가 강화된다. 또한, 반도체 장치가 마더보드 상에 실장되는 경우, 돌출부들 (12) 은 반도체 장치와 마더보드 사이의 접속을 강화시킨다. 제 1 실시예의 이러한 변형예에서, 외부 접속 단자들 (4) 의 재료와 동일하게 돌출부들 (12) 의 재료로서 팽납이 사용된다. 또는, 다른 금속 재료들과 도전성 수지 재료들이 돌출부들 (12) 의 재료로서 사용될 수도 있다. 이에 반하여, 절연 수지 재료가 돌출부들 (12) 의 재료로서 사용될 수도 있다. 이 경우에, 접지 전위는 강화되지 않는다. 그러나, 절연 수지로 제조된 돌출부들 (12) 도 방사 효과 뿐만 아니라 반도체 장치와 마더보드 사이의 접속을 강화시키는 상술한 효과를 충분히 가져올 수 있다. 돌출부들 (12) 에 대응하는 부재들이 그러한 돌출부들이 아니라도, 이러한 효과들은 얻어질 수 있다. 돌출부들 (12) 에 대응하는 부재들은 그 용도에 따라서 구성될 수 있다. 돌출부들 (12) 에 대응하는 부재들이 전체 표면에 의해 반도체 장치와 마더보드에 접속되는 경우라도 그러한 효과들은 얻어질 수 있다.

도 5 및 6에 나타난 상술한 반도체 장치에서, 반도체 장치의 제조 공정이 복잡해지는 것을 방지하기 위해, 재배선 (3) 은 웨이퍼 상에서 알루미늄 또는 구리를 사용하는 배선 공정 동안에 형성된다. 절연 수지 (6) 는 낮은 탄성율을 갖는 폴리이미드 또는 에폭시 수지로 제조되어, 절연 효과, 방열성 및 방수성이 얻어지도록 한다. 또한, 반도체 칩 (1b) 및 범프들 (8) 사이의 접합부를 보호하기 위해, 밀봉 수지 (7) 는 팽창율이 범프들 (8) 과 반도체 칩 (1b) 의 팽창율로 조절된 에폭시 수지로 제조되는 것이 바람직하다. 그러나, 접합부의 강도가 충분히 유지되는 경우에, 밀봉 수지 (7) 는 절연 수지 (6) 와 동일한 재료로 제조될 수도 있다.

제 1 실시예에서, 재배선 (3) 을 덮는 절연 수지 (6) 는 기판 (반도체 칩 (1a)) 의 전면에 균일하게 형성된다. 또는, 서로 다른 재료 특성을 갖는 절연 수지들이 외부 접속 단자들 (4) 이 위치한 영역과 반도체 칩 (1b) 이 실장되는 다른

영역 상에 각각 형성될 수도 있다. 예를 들면, 반도체 칩 (1b) 이 실장되는 다른 영역 상에 형성되는 다른 절연 수지의 탄성율에 비하여, 더 낮은 탄성율의 절연 수지가 외부 접속 단자들 (4) 이 위치하는 영역 상에 형성될 수 있다. 이러한 구조에 의해, 범프들 (8) 또는 반도체 칩 (1b) 내에서 발생하는 스트레스가 더욱 완화될 수 있다.

또한, 제 1 실시예에서, 범프들 (8) 을 접속시키기 위한 전극들 (11) 은 반도체 칩 (1b) 이 실장되는 반도체 칩 (1a) 의 소정 부분에 형성된다. 전극들 (11) 은 외부 접속 단자들 (4) 의 랜드 (5) 가 형성될 때 동시에 형성된다. 또한, 전극 (11) 과 랜드 (5) 는 동일 재료, 즉 금도금된 니켈로 구성된 전극 부재로 제조된다. 그러나, 범프 (8) 와의 접합 강도가 증가되기를 원하거나 땀납이 전극 (11) 상에 덮이는 경우에는, 전극 (11) 및 랜드 (5) 가 서로 다른 재료들로 제조될 수도 있다.

게다가, 제 1 실시예에서는, 반도체 칩 (1b) 이 반도체 칩 (1a) 의 중심부에 실장되는 반도체 장치에 대해 설명하였다. 그러나, 본 발명은 그러한 구조로 한정되지는 않는다. 예를 들면, 반도체 칩과 동일한 기능을 갖는 2 개 이상의 칩들이 각각 본 발명의 반도체 장치에 실장될 수 있다. 또한, 서로 다른 기능을 갖는 2 개 이상의 칩들이 각각 본 발명의 반도체 장치 상에 실장될 수도 있다. 이러한 경우에, 칩들이 실장되는 위치는 임의로 결정될 수 있다.

(제 2 실시예)

다음, 도 7 및 8을 참조하여, 본 발명의 제 2 실시예에 의한 반도체 장치를 설명한다. 도 7은 본 발명이 제 2 실시예에 의한 반도체 장치의 일부분의 구조를 개략적으로 나타내는 확대 단면도이다. 이 실시예에 의한 반도체 장치는 랜드 (5) 및 전극 (11) 의 구조가 향상되었다는 점을 제외하면, 제 1 실시예와 기본적으로 유사한 구성을 갖는다. 유사한 부분들은 동일 참조 부호들로 표시한다.

우선, 도 7에 도시한 구조는 이 실시예에 의한 반도체 장치와 관련된 것을 나타낸 것이다. 도 7에 나타난 바와 같이, 본 발명의 제 2 실시예에 의한 반도체 장치에서, 반도체 칩 (1a) 상에 재배선 (3) 이 형성된다. 재배선 (3) 은 절연 수지 (6) 에 의해 덮인다. 절연 수지 (6) 에서, 외부 접속 단자들 (4) 이 형성되는 부분과 반도체 칩 (1b) 을 실장하기 위한 범프들 (8) 에 대응하는 다른 부분들에 개구부들이 형성된다. 랜드들 (5) 및 전극들 (11) 은 재배선 (3) 과 땀납 범프들인 외부 접속 단자들 (4) 모두에 잘 접촉되는 재료에 의해 전체적으로 형성된다. 또한, 반도체 칩 (1b) 상에 형성되는 범프 (8) 와 반도체 칩 (1a) 의 접착력을 향상시키기 위해, 접합층 (9) 이 전극 (11) 상에 형성된다. 접착력이 향상된 상태에서, 반도체 칩 (1b) 이 반도체 칩 (1a) 상에 실장된다. 또한, 접합층들 (9) 과 범프들 (8) 의 접합 표면은 밀봉 수지 (7) 에 의해 밀봉된다.

접합층들 (9) 과 범프들 (8) 의 재료에서 몇몇 조합들이 고려될 수 있다. 즉, 접합층들 (9) 은 도금된 금으로 제조되고 범프들 (8) 은 금도금된 범프 또는 금스터드 범프로 제조될 수 있다. 또한, 접합층들 (9) 은 주석 땀납 또는 주석 합금 땀납으로 제조되고 범프들 (8) 은 금도금된 범프, 금스터드 범프, 구리도금된 범프, 또는 주석 또는 주석 합금에 의해 피복된 구리도금된 범프로 제조될 수 있다.

상술한 바와 같이, 전극 (11) 상에 접합층 (9) 이 형성된다. 그러나, 랜드 (5) 를 형성하는 재료가 범프 (8) 에 잘 접촉되는 경우에, 접합층 (9) 은 생략될 수도 있다. 이러한 경우에, 반도체 장치의 제조 비용이 더욱 감소될 수 있다. 한편, 접합층들 (9) 이 전극들 (11) 상에 형성되는 경우에, 전극형의 칩 및 와이어 본딩에 의한 일반적인 배선들이 반도체 칩 (1b) 으로서 사용될 수 있다. 따라서, 반도체 칩 (1b) 을 배타적으로 설계할 필요가 없어진다. 반도체 패키지는 저가로 설계되고 제조될 수 있다.

여기서, 도 8을 참조하여, 본 발명의 제 2 실시예의 변형예에 의한 반도체 장치를 설명한다. 도 8은 본 발명의 제 2 실시예의 변형예에 의한 반도체 장치의 일부분의 구조를 개략적으로 나타내는 확대 단면도이다.

도 8에 나타난 구조는 반도체 장치에서 발생하는 스트레스를 완화시키기 위해 고려된 것이다. 제 2 실시예의 변형예에서는, 도 7에 나타난 반도체 장치와 유사하게, 반도체 칩 (1a) 상에 재배선 (3) 이 형성된다. 재배선 (3) 은 절연 수지 (6) 에 의해 덮인다. 절연 수지 (6) 내에 개구부들이 소정 위치에 형성된다. 또한, 랜드들 (5) 이 개구부들 내에 형성된다. 그러나, 도 8에 나타난 구조에서, 다른 절연 수지 (13) 는 소정 두께를 갖도록 랜드들 (5) 의 영역

상부에 형성된다. 그리고, 랜드들 (5) 까지 관통하는 비아홀 (10A) 이 형성된다. 비아홀 (10A) 이 도전체로 매립되어 비아 (10) 가 형성된다. 도시된 구조에서, 비아 (10) 의 직경이 각 랜드 (5) 의 직경의 /2 보다 크지 않도록 작은 직경으로 비아 (10) 가 제조될 수 있다. 비아 (10) 는 반도체 장치 내에서 발생하는 스트레스를 완화시키는 이로 온 효과를 초래한다. 그에 따라, 비아 (10) 는 반도체 장치의 수명을 연장시킬 수 있다. 반도체 칩 (1b) 을 얇게 제조하는 것이 어려운 경우라도, 비아 (10) 에 의해 외부 접속 단자들 (4) 의 높이가 조절될 수 있다.

예를 들어, 본 발명의 발명자에 의한 실험에 의하면, 외부 접속 단자들 (4) 의 피치가 약 200 μm 인 경우에, 각 랜드 (5) 의 직경은 약 120 μm 내지 약 100 μm 로 된다. 또한, 비아 (10) 의 직경을 약 50 μm 정도로 제조하여 반도체 장치의 수명이 2 배 이상 연장되었다는 것을 시뮬레이션 테스트에 의해 확인하였다. 이 경우에, 비아 (10) 는 낮은 탄성율을 갖는 다른 절연 수지 (13) 에 의해 절연되어 보호된다. 결국, 반도체 장치의 수명이 연장된다는 상술한 효과가 얻어질 수 있다.

상술한 설명에서, 비아 (10) 의 직경은 약 50 μm 정도였고 각 랜드 (5) 의 직경보다 더 작았다. 또는, 비아 (10) 의 직경은 각 랜드 (5) 의 직경과 거의 동일할 수도 있다. 그러나, 이 경우에 비아 (10) 및 재배선 (3) 사이의 접합 강도가 높아야만 한다. 또한, 다른 절연 수지 (13) 의 탄성율을 반도체 칩 (1a) 의 탄성율과 거의 동일해지도록 하여 신뢰성을 유지할 수도 있다.

(실시예 3)

다음, 도 9 및 10을 참조하여, 본 발명의 제 3 실시예에 의한 반도체 장치의 제조 방법을 설명한다. 도 9 및 10은 본 발명의 제 3 실시예에 의해 반도체 장치를 제조하는 방법을 개략적으로 나타내는 흐름도이다. 또한, 제 3 실시예의 설명은 이전의 제 1 및 제 2 실시예의 반도체 장치를 제조하는 방법과 관련하여 행해진다.

우선, 도 5 및 6, 도 9를 참조하면, 제 3 실시예에 의한 반도체 장치의 제조 방법에 관하여 설명한다. 도 9에 나타난 바와 같이, 우선 웨이퍼들 (1, 2) 내에 반도체 칩들 (1a, 1b) 을 각각 형성한다. 이후, 웨이퍼 (1) 상에 반도체 칩 (1a), 반도체 칩 (1b) 및 외부 접속 단자들 (4) 을 서로 접속시키는 재배선 (3) 을 형성한다 (S101). 재배선 (3) 과 웨이퍼 (1) 내의 반도체 칩 (1a) 상에 절연 수지 (6) 를 덮는다. 그 후, 절연 수지 (6) 내에 소정의 개구부들을 형성한다. 개구부들 내에 랜드들 (5) 및 전극들 (11) 을 형성한다. 또한, 선택 사항으로서 전극들 (11) 상에 제 2 실시예에 나타난 접합층들 (9) 을 형성한다 (S102). 한편, 웨이퍼 (2) 에는 반도체 칩 (1a) 이 접속되는 범프들 (8) 을 형성한다 (S103). 그 후, 웨이퍼 (2) 를 다이싱하여 반도체 칩들 (1b) 로 나눈다 (S104).

다음에, 웨이퍼 (1) 의 소정 위치에 각각 배치되도록, 범프들 (8) 이 형성된 소정 수의 반도체 칩들 (1b) 을 하나씩 웨이퍼 (1) 의 소정 위치에 플립칩 본딩한다 (S105). 그 후, 범프들 (8) 의 접합 표면으로 밀봉 수지 (7) 를 주입하여 경화시킨다 (S106). 밀봉 수지 (7) 가 경화된 이후에, 각 반도체 칩 (1b) 이 소정 두께를 갖도록, 웨이퍼 (1) 상에 각각 실장된 반도체 칩들 (1b) 의 하부 표면을 연삭한다 (S107). 연삭 공정이 종료된 후에, 랜드 (5) 상에 외부 접속 단자들 (4) 을 형성한다. (S108). 이어서, 그 조각이 반도체 장치의 구성을 형성할 수 있도록 웨이퍼 (1) 를 각각의 조각으로 절단한다. 그러면, 반도체 장치가 얻어진다 (S109). 여기서, 반도체 칩들 (1b) 이 웨이퍼 (2) 내에 포함된 상태에서 반도체 칩들 (1b) 상에 범프들 (8) 을 형성한다. 이 경우에는, 도금 방법 또는 스퍼터링 방법 또는 스텔드 범프 방법을 사용하여 범프들 (8) 을 형성한다. 한편, 다이싱 후에 각각의 반도체 칩들 (1b) 상에 범프들 (8) 을 형성할 수도 있다. 이 경우에는, 스텔드 범프 방법을 사용하여 범프들 (8) 을 형성한다.

또한, 도 5 및 6, 도 10을 참조하여, 제 3 실시예의 변형예에 의해 반도체 장치를 제조하는 다른 방법을 설명한다. 도 10에 나타난 바와 같이, 우선, 상술한 방법과 유사하게, 웨이퍼들 (1, 2) 내에 반도체 칩들 (1a, 1b) 을 각각 형성한다. 그 후, 웨이퍼 (1) 상에 반도체 칩 (1a), 반도체 칩 (1b) 및 외부 접속 단자들 (4) 을 서로 접속시키기 위한 재배선 (3) 을 형성한다 (S201). 웨이퍼 (1) 의 재배선 (3) 및 반도체 칩 (1a) 상에 절연 수지 (6) 를 덮는다. 그 후, 절연 수지 (6) 내에 소정의 개구부들을 형성한다. 개구부들 내에 랜드들 (5) 및 전극들 (11) 을 형성한다. 또한, 선택 사항으로서 전극들 (11) 상에 제 2 실시예에서 나타난 접합층들 (9) 을 형성한다 (S202). 한편, 웨이퍼 (2) 내에 반도체 칩 (1a) 이 접속되는 범프들 (8) 을 형성한다 (S203). 도 10에 나타난 이 방법에서, 웨이퍼 (2) 가

소정 두께를 갖도록 웨이퍼 (2) 의 하부 표면을 연삭한다 (S204). 그후, 웨이퍼를 다이싱하여 각각 소정 크기를 갖는 반도체 칩들 (1b) 로 나눈다 (S205).

다음에, 웨이퍼 (1) 의 소정 위치에 배치되도록, 각각 얇게 처리된 소정 수의 반도체 칩들 (1b) 을 웨이퍼 (1) 의 소정 위치에 하나씩 플립칩 본딩한다 (S206). 그후, 범프들 (8) 의 접합 표면으로 밀봉 수지 (7) 를 주입하여 경화시킨다 (S207). 밀봉 수지 (7) 가 경화된 이후, 랜드들 (5) 상에 외부 접속 단자들 (4) 을 형성한다 (S208). 그 조각이 반도체 장치의 구성을 형성할 수 있도록 웨이퍼 (1) 를 각각의 조각들로 절단한다. 그러면, 반도체 장치들이 얻어진다 (S209).

도 9 및 10에 나타난 두 방법들은 각각 단점과 장점들을 갖는다. 예를 들면, 도 9에 나타난 방법에서는, 반도체 칩들 (1b) 을 얇게 처리하기 전에 다이싱에 의해 나뉜 반도체 칩들 (1b) 이 웨이퍼 (1) 상에 실장되도록 핸들링한다. 핸들링 조작이 용이해진다는 장점이 얻어진다. 그러나, 웨이퍼 (1) 상에 반도체 칩들 (1b) 이 실장된 이후에, 전체적으로 반도체 칩들 (1b) 이 연삭된다. 웨이퍼 (1) 의 휘어짐, 범프들 (8) 에 의한 접합 상태, 연삭 장치의 작업 정밀도의 영향 등으로 인해, 반도체 칩들 (1b) 의 두께가 불균일해지는 단점이 유발된다. 한편, 도 10에 나타난 방법에서는, 반도체 칩들 (1b) 이 웨이퍼 (2) 내에 포함된 상태에서 반도체 칩들 (1b) 이 연삭된다. 결국, 반도체 칩들 (1b) 의 두께가 불균일해지는 것이 감소될 수 있다. 그러나, 각각의 반도체 칩 (1b) 이 얇게 처리된 상태에서 반도체 칩들 (1b) 이 웨이퍼 (1) 상에 실장되도록 핸들링해야 한다는 단점이 발생할 수 있다. 따라서, 핸들링 조작이 나빠지게 된다. 제조 조건, 제조 장치의 성능, 수율 등의 관점에서, 도 9에 나타난 방법 또는 도 10에 나타난 방법 중 어느 것을 선택할지의 여부는 선택 사항으로 결정될 수 있다.

또한, 상술한 방법에서, 단계 S103 에서 웨이퍼 (2) 내에 범프들 (8) 을 형성한 후, 단계 S104 에서 웨이퍼 (2) 에 대해 다이싱을 수행한다. 이러한 단계들은 역순으로 진행될 수도 있다. 즉, 웨이퍼 (2) 를 다이싱한 이후, 각각의 반도체 칩들 (1b) 내에 범프들을 형성할 수 있다. 상술한 제 2 실시예에서, 랜드들 (5) 을 형성한 후에 반도체 장치 내에 유발되는 스트레스들을 완화시키기 위해 비아 (10) 를 형성한다. 이러한 경우에, 단계 S107 에서 웨이퍼 (1) 상에 실장된 반도체 칩들 (1b) 의 하부 표면을 연삭한 후에, 또는 단계 S207 에서 반도체 칩들 (1b) 을 밀봉 수지 (7) 로 밀봉한 후에, 단계 S108 (S208) 에서 외부 접속 단자들을 형성하기 전에 비아 (10) 를 형성할 수 있다. 일반적으로 비아 (10) 는 도금법을 사용하여 형성할 수 있다. 또는, 비아 (10) 를 형성하기 위해, 열압축 본딩 등의 방법을 사용하여 시트 형상의 절연 수지 (13) 에 고정된 비아 (10) 어레이 또는 그룹을 반도체 칩 (1a) 에 적용할 수도 있다.

발명의 효과

상술한 바와 같이, 본 발명에 의해 다음과 같은 이로운 효과들을 얻을 수 있다.

첫째, 복수의 반도체 칩을 실장할 때, 실장 면적 및 부피를 작게 제조할 수 있다. 또한, 각각의 반도체 칩들에서, 전기 접속은 전기적으로 최단의 배선 길이에 의해 이루어질 수 있다.

그 이유는, 실장 기관 없이 하나의 반도체 칩 (1a) 상에 재배선이 제공되고, 외부 접속 단자들 (4) 과 BGA 의 외부 접속 단자들 (4) 보다 충분히 더 짧아지도록 얇게 처리된 반도체 칩 (1b) 이 반도체 칩 (1a) 의 동일 표면 상에 제공되고, 반도체 칩 (1a), 반도체 칩 (1b) 및 외부 접속 단자들 (4) 은 재배선 (3) 에 의해 서로 접속되기 때문이다.

둘째, 반도체 칩 (1a) 에 접속된 반도체 칩 (1b) 의 하부 표면에 복수의 금속 돌출부가 위치된다. 반도체 칩 (1b) 에 의해 발생하는 열을 방사하는 방사 효과가 향상된다. 따라서, 접지 전위가 강화된다. 또한, 반도체 장치가 마더보드 상에 실장되는 경우, 금속 돌출부들은 반도체 장치와 마더보드 사이의 접속을 강화시킨다.

세째, 실장 기관을 사용하지 않고 웨이퍼 상에서의 처리로 재배선을 형성할 수 있기 때문에, 반도체 기관 내에서 치수의 정밀도가 높아진다. 또한, 그로 인해, 반도체 장치는 미세한 패턴으로 제조되기에 적합해진다. 또한, 재료 비용도 감소될 수 있다.

네째, 반도체 칩 (1a) 상에 반도체 칩 (1b) 이 실장된 후에, 각각의 반도체 칩 (1b) 이 얇게 처리될 수 있도록 반도체 칩 (1b) 을 연삭한다. 얇은 반도체 칩 (1b) 을 각각 핸들링할 필요가 없어진다. 따라서, 핸들링 조작이 향상될 수 있다. 또한, 종래의 방법에 비하여, 본 발명에서는 공정수가 감소될 수 있다. 따라서, 제조 비용도 감소될 수 있다

본 발명의 여러 실시예들과 결합하여 본 발명을 설명하였지만, 당업자들은 다양한 다른 방식으로 본 발명을 용이하게 실시할 수 있을 것이다. 예를 들어, 제 3 실시예에서는 2 가지 방법들만을 설명하였다. 그러나, 본 발명에 의한 반도체 장치의 제조 방법은 단지 2 가지 방법들에만 한정되는 것은 아니다. 대신에, 제 1 및 제 2 실시예들의 반도체 장치의 구조를 실현할 수 있는 방법들이라면, 어떤 방법들도 사용할 수 있다. 예를 들어, 연삭 대신에, 습식 에칭, 건식 에칭, 연마 등의 방법을 사용할 수도 있다. 또한, 웨이퍼 (2) 를 얇아지도록 연삭하지 않고 외부 접속 단자들 (4) 을 더 높게 형성할 수도 있다.

(57) 청구의 범위

청구항 1. 제 1 표면을 갖는 제 1 반도체 칩;

상기 제 1 표면 상에 형성되고 상기 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자; 및

상기 제 1 표면 상에 범프를 통하여 실장되고 상기 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩을 구비하고,

상기 제 2 높이는 상기 제 1 높이보다 더 작은 것을 특징으로 하는 반도체 장치.

청구항 2. 제 1 표면을 갖는 제 1 반도체 칩;

상기 제 1 표면 상에 형성되고 상기 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자;

상기 제 1 표면 상에 범프를 통하여 실장되고 상기 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩; 및

상기 제 1 반도체 칩, 상기 제 2 반도체 칩 및 상기 외부 접속 단자를 서로 전기적으로 접속시키고 상기 제 1 표면 상에 위치하는 재배선을 구비하고,

상기 제 2 높이가 상기 제 1 높이보다 더 작아지도록 상기 제 2 반도체 칩이 얇게 처리된 것을 특징으로 하는 반도체 장치.

청구항 3. 제 1 표면을 갖는 제 1 반도체 칩;

상기 제 1 표면 상에 형성되고 상기 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자;

상기 제 1 표면 상에 범프를 통하여 실장되고 상기 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩;

상기 제 1 반도체 칩, 상기 제 2 반도체 칩 및 상기 외부 접속 단자를 서로 전기적으로 접속시키고 상기 제 1 표면 상에 위치하는 재배선;

상기 재배선 상에 덮히고 상기 외부 접속 단자들을 형성하기 위한 제 1 영역 및 상기 제 2 반도체 칩을 실장하기 위한 제 2 영역 내에 각각 소정의 개구부들을 갖는 절연층; 및

상기 소정의 개구부들 내에 각각 형성된 매입 전극들을 구비하고,

상기 외부 접속 단자는 BGA 로 구성되며 상기 제 1 영역 내의 상기 매입 전극 상에 위치하며, 상기 제 2 반도체 칩은 상기 범프를 통하여 상기 제 2 영역 내의 상기 매입 전극에 플립칩 본딩되고,

상기 제 2 높이가 상기 제 1 높이보다 더 작아지도록 상기 제 2 반도체 칩이 얇게 처리된 것을 특징으로 하는 반도체 장치.

청구항 4. 제 3 항에 있어서,

상기 절연층은 탄성 특성이 서로 다른 2 개 이상의 수지로 제조되고, 하나의 수지는 상기 제 1 영역 상에 존재하고 다른 수지는 상기 제 2 영역 상에 존재하는 것을 특징으로 하는 반도체 장치.

청구항 5. 제 3 항에 있어서,

상기 제 1 영역 내의 상기 매입 전극 및 상기 제 2 영역 내의 상기 매입 전극은 모두 동일 공정으로 제공된 동일 재료로 제조된 것을 특징으로 하는 반도체 장치.

청구항 6. 제 4 항에 있어서,

상기 제 1 영역 내의 상기 매입 전극 및 상기 제 2 영역 내의 상기 매입 전극은 모두 동일 공정으로 제공된 동일 재료로 제조된 것을 특징으로 하는 반도체 장치.

청구항 7. 제 3 항에 있어서,

상기 제 1 영역 내의 상기 매입 전극 및 상기 제 2 영역 내의 상기 매입 전극은 서로 다른 재료로 제조된 것을 특징으로 하는 반도체 장치.

청구항 8. 제 4 항에 있어서,

상기 제 1 영역 내의 상기 매입 전극 및 상기 제 2 영역 내의 상기 매입 전극은 서로 다른 재료로 제조된 것을 특징으로 하는 반도체 장치.

청구항 9. 제 6 항에 있어서,

상기 매입 전극과 다른 재료를 포함하는 막이 상기 매입 전극 상에 적층된 것을 특징으로 하는 반도체 장치.

청구항 10. 제 8 항에 있어서,

상기 매입 전극과 다른 재료를 포함하는 막이 상기 매입 전극 상에 적층된 것을 특징으로 하는 반도체 장치.

청구항 11. 제 1 항에 있어서,

상기 제 2 반도체 칩은 상기 제 1 반도체 칩에 실장된 접합 표면에 대향하는 그의 다른 표면 상에 돌출부를 더 구비하고, 상기 돌출부는 상기 제 2 반도체 칩의 상기 다른 표면에 대해 제 3 높이를 갖고, 상기 제 3 높이는 상기 제 1 높이가 상기 제 2 높이 및 상기 제 3 높이의 합과 거의 동일하도록 설정된 것을 특징으로 하는 반도체 장치.

청구항 12. 제 11 항에 있어서,

상기 돌출부는 금속, 도전성 수지 및 절연 수지로 이루어진 그룹으로부터 선택된 재료로 제조된 것을 특징으로 하는 반도체 장치.

청구항 13. 제 11 항에 있어서,

상기 범프를 통하여 상기 제 1 반도체 칩에 실장되는 상기 제 2 반도체 칩의 상기 접합 표면은 수지에 의해 밀봉된 것을 특징으로 하는 반도체 장치.

청구항 14. 제 3 항에 있어서,

상기 제 1 영역 내의 상기 매입 전극 상에 제공되고 상기 제 1 영역 내의 상기 매입 전극까지 관통하는 비아홀을 포함하는 수지층; 및

상기 비아홀 내에 매립되고 상기 외부 접속 단자와 상기 제 1 영역 내의 상기 매입 전극을 전기적으로 접속시키는 도전체를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 15. 제 1 항에 있어서,

상기 제 1 반도체 칩은 반도체 칩, 기능 소자 및 전자 부품으로 이루어진 그룹으로부터 선택된 부재를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 16. 제 1 항에 있어서,

상기 제 2 반도체 칩은 반도체 칩, 기능 소자 및 전자 부품으로 이루어진 그룹으로부터 선택된 부재를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 17. 제 1 항에 있어서,

상기 제 2 반도체 칩은 반도체 칩, 기능 소자 및 전자 부품으로 이루어진 그룹으로부터 선택된 부재를 결합시키는 복수의 칩을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 18. 제 1 항에 있어서,

상기 제 2 반도체 칩은 연삭, 연마, 습식 에칭 및 건식 에칭으로 이루어진 그룹으로부터 선택된 하나 이상의 방법을 사용하여 얇게 처리된 것을 특징으로 하는 반도체 장치.

청구항 19. 제 1 표면을 갖는 제 1 반도체 칩을 준비하는 단계;

상기 제 1 표면 상에 형성되고 상기 제 1 표면에 대해 제 1 높이를 갖는 외부 접속 단자를 준비하는 단계;

상기 제 1 표면 상에 범프를 통하여 실장되고 상기 제 1 표면에 대해 제 2 높이를 갖는 제 2 반도체 칩을 준비하는 단계; 및

상기 제 2 높이가 상기 제 1 높이보다 더 작아지도록 상기 제 2 반도체 칩을 처리하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20. 외부 접속 단자를 형성하기 위한 제 1 영역 및 제 2 반도체 칩을 실장하기 위한 제 2 영역을 각각 갖는 복수의 제 1 반도체 칩이 형성된 제 1 웨이퍼를 준비하는 단계;

상기 제 1 반도체 칩, 상기 제 2 반도체 칩 및 상기 외부 접속 단자를 서로 전기적으로 접속시키고 상기 제 1 표면 상에 위치하는 재배선을 형성하는 단계;

상기 재배선 상에 절연층을 덮는 단계;

상기 외부 접속 단자를 형성하기 위한 상기 제 1 영역과 상기 제 2 반도체 칩을 실장하기 위한 상기 제 2 영역 내에 모두 개구부들을 형성하는 단계;

상기 개구부들 내에 각각 매입 전극을 형성하는 단계;

상기 제 2 반도체 칩들의 각각에 범프를 형성하는 제 1 처리 및 상기 제 2 웨이퍼를 다이싱하여 각각의 상기 제 2 반도체 칩으로 나누는 제 2 처리를 수행하되, 상기 제 1 처리 및 상기 제 2 처리 중 어느 하나는 미리 수행될 수 있는 단계;

상기 제 1 웨이퍼 상의 상기 제 1 반도체 칩들 각각에 하나씩 위치하도록 상기 제 2 반도체 칩들 각각을 상기 제 1 반도체 칩들 각각에 플립칩 본딩하는 단계;

상기 제 2 반도체 칩의 범프에 의한 접합 표면을 수지로 밀봉하는 단계;

상기 제 2 높이가 상기 제 1 높이보다 더 작아지도록 상기 제 2 반도체 칩의 하부 표면을 처리하는 단계;

상기 제 1 웨이퍼 상의 상기 제 1 반도체 칩들 각각에 BGA 의 상기 외부 접속 단자를 형성하는 단계; 및

상기 제 1 웨이퍼를 다이싱하여 조각들로 나누는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21. 외부 접속 단자를 형성하기 위한 제 1 영역 및 그의 제 1 표면 상에 제 2 반도체 칩을 실장하기 위한 제 2 영역을 각각 갖는 복수의 제 1 반도체 칩들이 형성된 제 1 웨이퍼를 준비하는 단계;

상기 제 1 반도체 칩, 상기 제 2 반도체 칩 및 상기 외부 접속 단자를 서로 전기적으로 접속시키고 상기 제 1 반도체 칩의 상기 제 1 표면 상에 위치하는 재배선을 형성하는 단계;

상기 재배선 상에 절연층을 덮는 단계;

상기 외부 접속 단자를 형성하기 위한 상기 제 1 영역과 상기 제 2 반도체 칩을 실장하기 위한 상기 제 2 영역 내에 모두 개구부들을 형성하는 단계;

상기 개구부들 내에 각각 매입 전극을 형성하는 단계;

상기 제 2 웨이퍼 상의 상기 제 2 반도체 칩들 각각에 범프를 형성하는 제 1 처리, 상기 제 2 반도체 칩들이 각각 상기 제 1 반도체 칩들 각각에 실장된 후에 상기 제 2 반도체 칩들 각각의 상기 제 1 반도체 칩의 상기 제 1 표면에 대한 제 2 높이가 상기 외부 접속 단자의 상기 제 1 반도체 칩의 상기 제 1 표면에 대한 제 1 높이보다 더 작아지도록 상기 제 2 반도체 칩의 하부 표면을 얇게 처리하는 제 2 처리, 및 상기 제 2 웨이퍼를 다이싱하여 각각의 상기 제 2 반도체 칩들로 나누는 제 3 처리를 수행하되, 상기 제 1 처리, 상기 제 2 처리 및 상기 제 3 처리는 어느 순서로도 수행될 수 있는 단계;

상기 제 1 웨이퍼 상의 상기 제 1 반도체 칩들 각각에 하나씩 위치하도록 상기 제 2 반도체 칩들 각각을 상기 제 1 반도체 칩들 각각에 플립칩 본딩하는 단계;

상기 제 2 반도체 칩들의 범프에 의한 접합 표면을 수지로 밀봉하는 단계;

상기 제 2 높이가 상기 제 1 높이보다 작아지도록 상기 제 2 반도체 칩의 하부 표면을 처리하는 단계;

상기 제 1 웨이퍼 상의 상기 제 1 반도체 칩들 각각에 BGA 의 상기 외부 접속 단자를 형성하는 단계; 및

상기 제 1 웨이퍼를 다이싱하여 조각들로 나누는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22. 제 20 항에 있어서,

상기 제 2 반도체 칩의 하부 표면을 얇게 처리하는 상기 처리 단계 이후에, 상기 하부 표면 상에 돌출부를 형성하는 단계를 더 포함하고, 상기 돌출부는 상기 제 2 반도체 칩의 상기 하부 표면에 대해 제 3 높이를 갖고, 상기 제 3 높이는 상기 제 1 높이가 상기 제 2 높이 및 상기 제 3 높이의 합과 거의 동일하도록 설정되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23. 제 21 항에 있어서,

상기 제 2 반도체 칩들의 범프에 의한 접합 표면을 수지로 밀봉하는 상기 밀봉 단계 이후에, 상기 하부 표면 상에 돌출부를 형성하는 단계를 더 포함하고, 상기 돌출부는 상기 제 2 반도체 칩의 상기 하부 표면에 대해 제 3 높이를 갖고, 상기 제 3 높이는 상기 제 1 높이가 상기 제 2 높이 및 상기 제 3 높이의 합과 거의 동일하도록 설정되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24. 제 20 항에 있어서,

상기 제 1 웨이퍼 상의 상기 제 1 반도체 칩들 각각에 상기 외부 접속 단자들을 형성하는 상기 형성 단계 이전에, 상기 제 1 영역 내의 상기 매입 전극 상에 비아를 형성하는 단계를 더 포함하고, 상기 비아는 상기 외부 접속 단자와 상기 제 1 영역 내의 상기 매입 전극을 전기적으로 접속시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

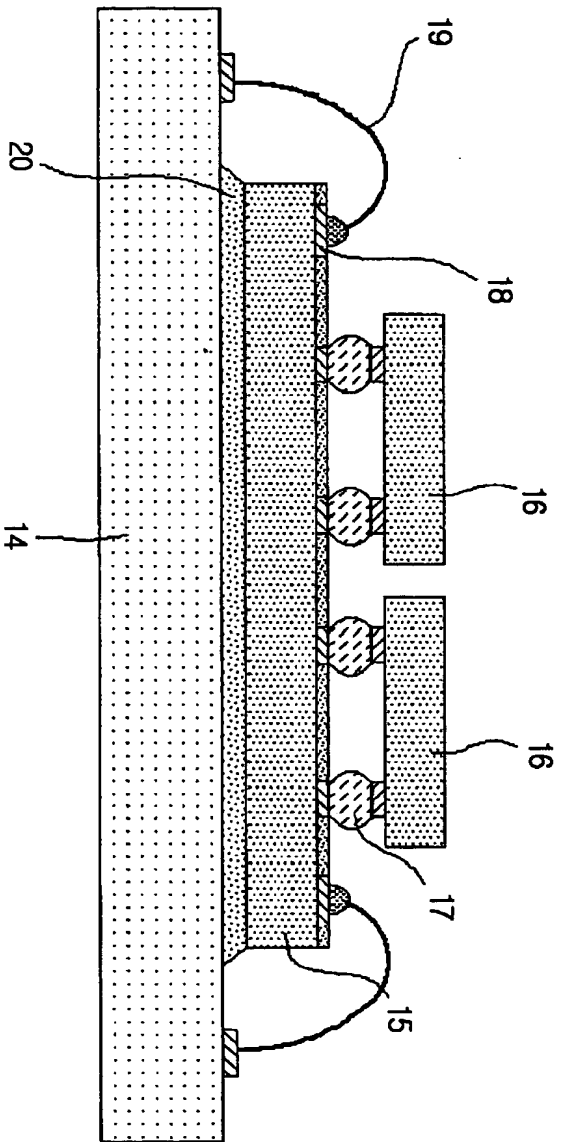
청구항 25. 제 19 항에 있어서,

상기 제 2 반도체 칩을 얇게 처리하는 상기 처리 단계는 연삭, 연마, 습식 에칭 및 건식 에칭으로 이루어진 그룹으로부터 선택된 하나 이상의 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

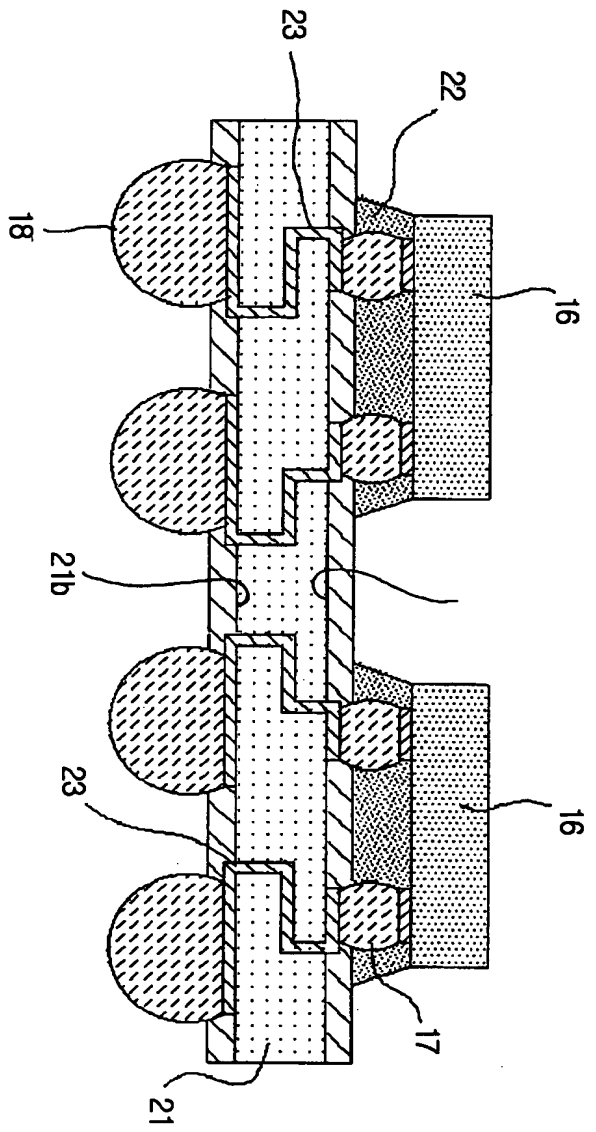
도면1

종래 기술



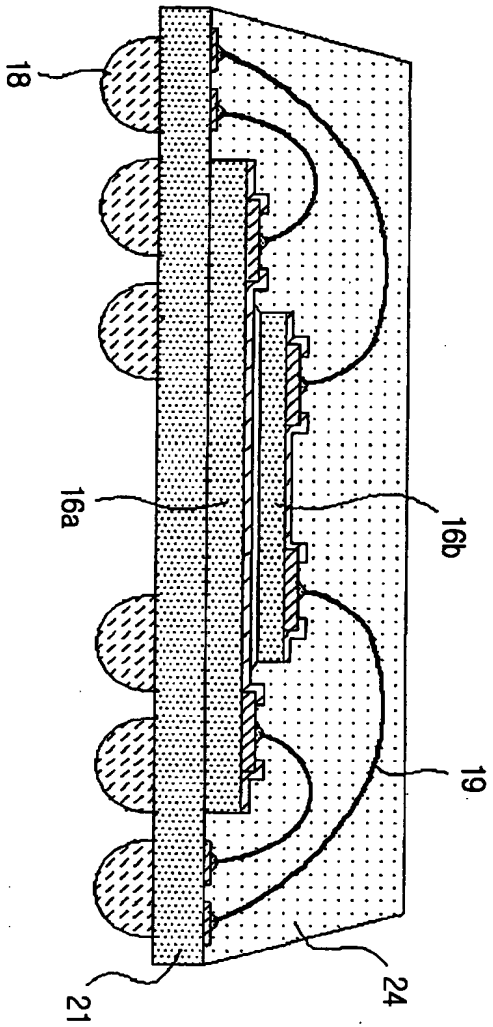
도면2

종래 기술



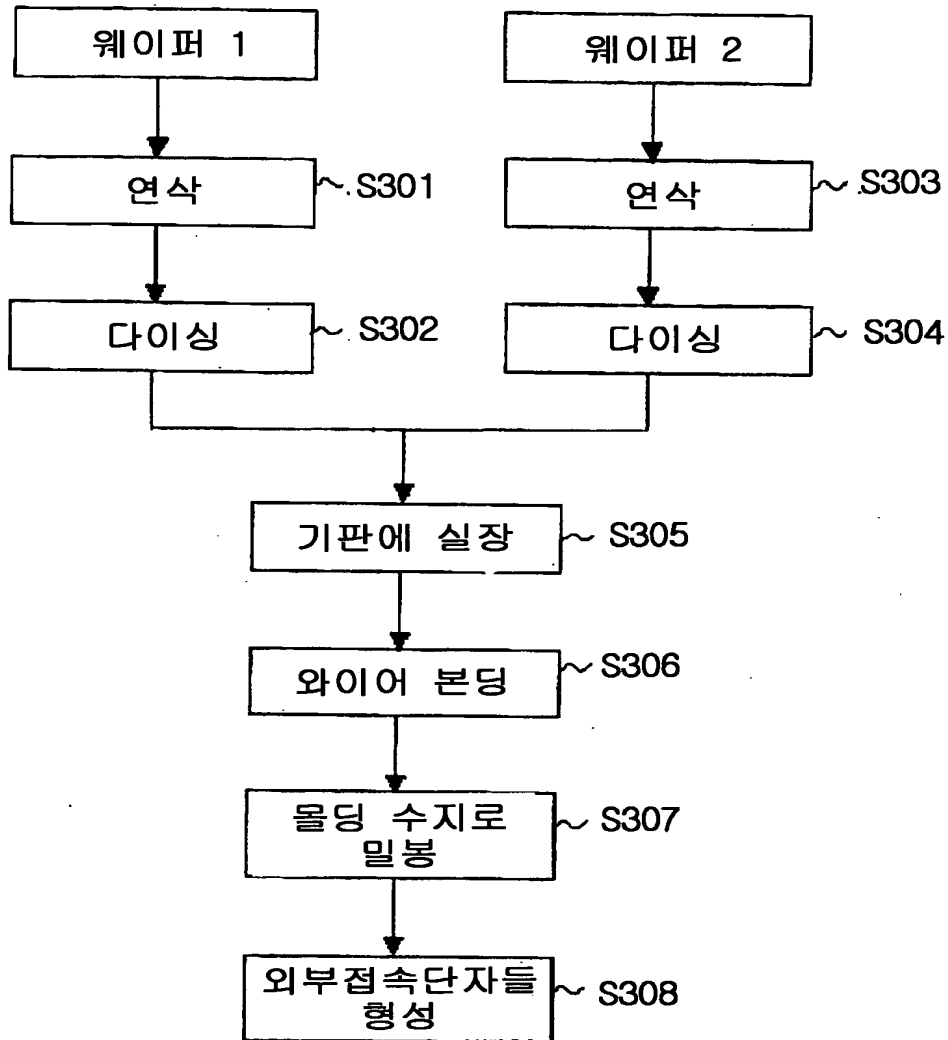
도면3

종래 기술



도면4

종래 기술



도면5

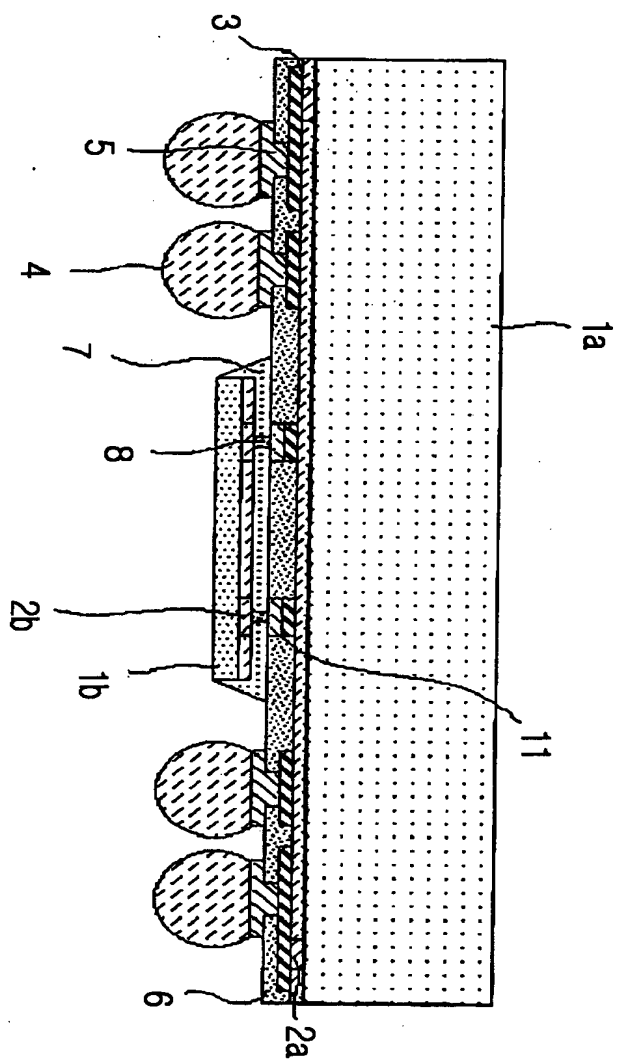


図6

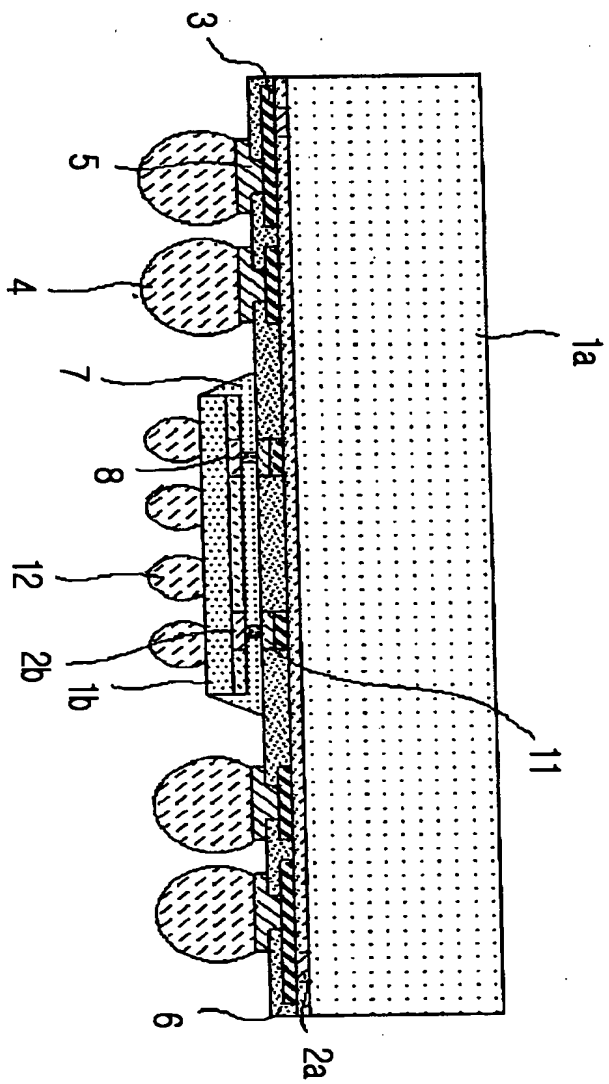


FIG. 7

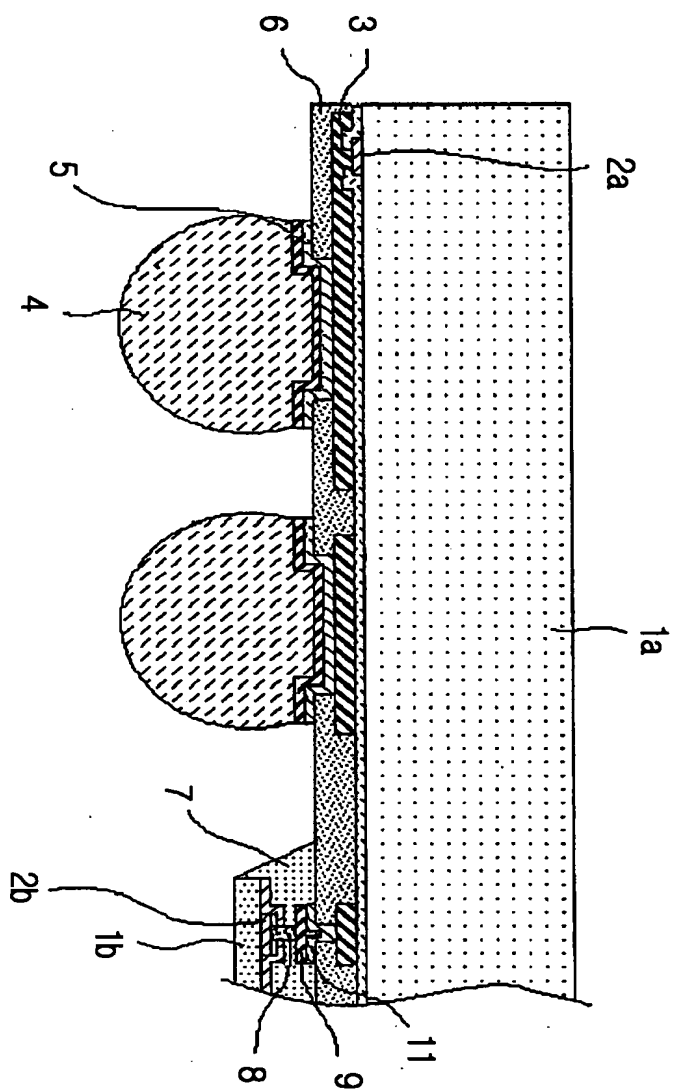
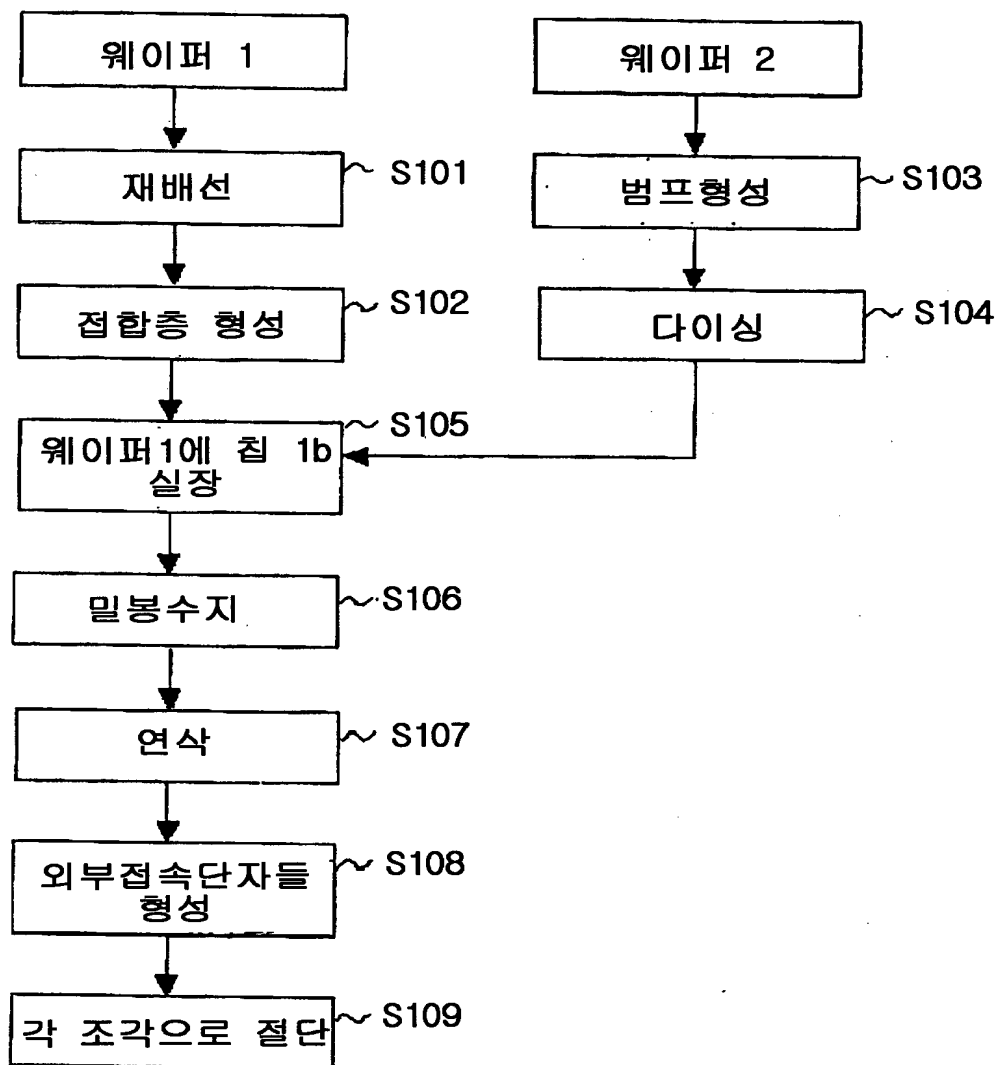


図 8





도면 10

